



# BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

## COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 04 AOUT 2003

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

A handwritten signature in black ink, appearing to read 'M. Planche', enclosed within a large, loopy oval stroke.

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
www.inpi.fr





26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

24 JUIN 2003

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



## REQUÊTE EN DÉLIVRANCE page 1/2



Cet imprimé est à remplir lisiblement à l'encre noire

09 540 6 W / 010301

<b>75 INPI PARIS</b> <small>Réservé à l'INPI</small> REMISE DES PIÈCES DATE <b>0307629</b> LIEU N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI <b>24 JUIN 2003</b>		<b>1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE</b>  BREESE-MAJEROWICZ 3 avenue de l'Opéra 75001 PARIS	
<b>Vos références pour ce dossier</b> (facultatif) 33962/FR			
<b>Confirmation d'un dépôt par télécopie</b>		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
<b>2 NATURE DE LA DEMANDE</b>		<b>Cochez l'une des 4 cases suivantes</b>	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i>		N°	Date <input type="text"/>
		N°	Date <input type="text"/>
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i>		<input type="checkbox"/>	Date <input type="text"/>
		N°	Date <input type="text"/>
<b>3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)</b> CIRCUIT BASSE TENSION A FIN D'INTERFAÇAGE AVEC DES SIGNAUX ANALOGIQUES A HAUTE TENSION			
<b>4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE</b>		Pays ou organisation Date <input type="text"/> N° Pays ou organisation Date <input type="text"/> N° Pays ou organisation Date <input type="text"/> N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
<b>5 DEMANDEUR (Cochez l'une des 2 cases)</b>		<input checked="" type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		Atmel Corporation	
Prénoms			
Forme juridique		constituée selon les lois de l'État du Delaware	
N° SIREN		<input type="text"/>	
Code APE-NAF		<input type="text"/>	
Domicile ou siège	Rue	2325 Orchard Parkway	
	Code postal et ville	<input type="text"/> SAN JOSE California 95131	
	Pays	U.S.A.	
Nationalité		U.S.A.	
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

Remplir impérativement la 2<sup>ème</sup> page



# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE  
page 2/2

BR2

24 JUIN 2003

REMISE DES PIÈCES DATE LIEU N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI <b>0307629</b>	DB 540 @ W / 010601
<b>Vos références pour ce dossier :</b> <i>(facultatif)</i>		33962/FR	
<b>6 MANDATAIRE</b> <i>(s'il y a lieu)</i>			
Nom		BREESE	
Prénom		Pierre	
Cabinet ou Société		BREESE-MAJEROWICZ	
N° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	3 avenue de l'Opéra	
	Code postal et ville	75 001 Paris	
	Pays	France	
N° de téléphone <i>(facultatif)</i>		01 47 03 67 77	
N° de télécopie <i>(facultatif)</i>		01 47 03 67 78	
Adresse électronique <i>(facultatif)</i>		office@breese.fr	
<b>7 INVENTEUR(S)</b>		<b>Les inventeurs sont nécessairement des personnes physiques</b>	
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : <b>Dans ce cas remplir le formulaire de Désignation d'inventeur(s)</b>	
<b>8 RAPPORT DE RECHERCHE</b>		<b>Uniquement pour une demande de brevet (y compris division et transformation)</b>	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance <i>(en deux versements)</i>		<b>Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt</b> <input type="checkbox"/> Oui <input type="checkbox"/> Non	
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>		<b>Uniquement pour les personnes physiques</b> <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention <i>(joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence) : AG</i> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes			
<b>10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE</b> (Nom et qualité du signataire) BREESE Pierre 921038		<b>VISA DE LA PRÉFECTURE OU DE L'INPI</b>	

CIRCUIT BASSE TENSION A FIN D'INTERFAÇAGE AVEC DES  
SIGNAUX ANALOGIQUES A HAUTE TENSION

La présente invention concerne des circuits intégrés fabriqués en utilisant une technologie "basse tension" (alimentation  $\leq 5V$ ) à fin d'interfaçage avec des signaux analogiques à haute tension, et en particulier des  
5 circuits pour détecter et amplifier avec précision un signal différentiel de basse tension qui a été surimposé par dessus une haute tension continue.

Dans un concept de circuit intégré (CI) à basse tension, l'information représentée par un petit signal  
10 différentiel est souvent surimposée par dessus une tension beaucoup plus élevée. Il est souvent difficile d'extraire et d'amplifier le signal différentiel, et d'annuler la composante à haute tension. Ceci est une situation typique dans les régulateurs de tension  
15 continu/continu (à commutation ou linéaires), ou dans les chargeurs de batterie. Cette fonction est également largement utilisée dans les modules de régulateurs de tension à phases multiples ("VRM", "Voltage Regulator Module", ou MRT), et les circuits intégrés (CI) dans  
20 lesquels doivent être appariés les courants dans les différentes phases du circuit. Dans de tels circuits, le courant du côté haute tension de l'entrée de l'alimentation électrique doit être mesuré avec précision, tandis qu'en même temps, les circuits à basse  
25 tension doivent être protégés des surtensions.

Une approche classique pour mesurer les courants consiste à utiliser une résistance de réaction, souvent appelée une résistance shunt, typiquement de l'ordre de quelques milliohms, de telle sorte qu'un signal de

l'ordre du millivolt puisse être détecté au moyen d'une circulation de courant de l'ordre d'un ampère.

Un agencement (figure 1) consiste à connecter la résistance de réaction  $R_{\text{REACTION}}$  104, en série avec  
5 l'alimentation à haute tension 102. Mais ce procédé est difficile à adapter aux circuits intégrés, étant donné que les circuits intégrés doivent s'interfacer avec la  $R_{\text{REACTION}}$  à un niveau de tension élevé.

Une autre approche moins onéreuse consiste à  
10 utiliser un réseau résistif en  $\pi$  (pi) pour mesurer la baisse de tension à travers une résistance shunt. Le réseau résistif en  $\pi$  réduit le signal basse tension mesuré à travers la résistance shunt d'un facteur égal au rapport des résistances dans le réseau en  $\pi$ , réduisant de  
15 ce fait la précision de l'ensemble de la mesure. Ce taux de réduction peut s'avérer significatif, du fait que le signal à basse tension est de l'ordre de quelques millivolts seulement.

Un autre agencement de réaction (figure 2) consiste  
20 à placer la résistance de réaction  $R_{\text{REACTION}}$  près de la borne d'alimentation "mise à la masse". Le circuit 200 comprend une ligne haute tension ( $V_{\text{HV}}$ ) 204, une source de courant  $I_1$  206, une résistance de réaction  $R_{\text{REACTION}}$  208 connectée à la masse et à travers laquelle circule le  
25 courant  $I_1$ . La tension  $V_{\text{REACTION}}$  est mesurée à travers la résistance de réaction 208. Dans ce cas, la résistance de réaction 208 ne peut pas s'apparier à l'impédance de sortie d'un régulateur sous test (non représenté).

Un objet de la présente invention est de proposer un  
30 circuit d'interfaçage d'une haute tension vers une basse tension, qui puisse mesurer des signaux différentiels

surimposés par dessus cette haute tension sans réduire la précision de l'ensemble.

Les objets de la présente invention ont été atteints à l'aide d'un circuit intégré (CI) qui rejette le signal à haute tension indésirable, et détecte le signal à basse tension recherché au moyen d'un circuit à courant miroir couplé avec un moyen de conversion courant/tension. Le circuit à courant miroir utilise le signal à haute tension indésirable pour produire un courant de référence à partir duquel des courants miroirs sont produits. Lorsqu'il y a un signal de faible tension surimposé par dessus le signal à haute tension, tout en rejetant le signal à haute tension via un rejet de mode commun, le moyen de conversion courant/tension détecte le signal de faible tension à travers son mode différentiel. En conséquence, le moyen de conversion courant/tension convertit et amplifie le courant différentiel en une tension proportionnelle à celui-ci. (Lorsqu'il n'y a pas de signal de faible tension, le moyen de conversion courant/tension rejette les courants miroirs via le rejet de mode commun. Il en résulte que le moyen de conversion courant/tension produit une tension nulle.)

La présente invention concerne un circuit intégré d'interfaçage d'une haute tension vers une basse tension (CI d'interfaçage) couplé à une résistance de réaction externe, à une source à basse tension et à une source à haute tension, comprenant :

a) un moyen de source de courant, couplé avec la source à haute tension et avec la source à basse tension, pour créer un courant de référence et des courants miroirs basés sur la source à haute tension ; et



b) un moyen de conversion courant/tension (460)  
couplé avec la source de courant pour rejeter le signal à  
haute tension et convertir le courant provoqué par le  
signal à basse tension qui circule à travers la  
5 résistance de réaction en une tension proportionnelle à  
la source à basse tension.

Avantageusement, le moyen de source de courant  
comprendra en outre un premier transistor NMOS, un  
deuxième transistor NMOS, et un troisième transistor  
10 NMOS ; le premier transistor NMOS ayant un drain et une  
grille couplés l'un avec l'autre et avec une première  
résistance, et ayant une source couplée à une masse  
électrique ; le deuxième et le troisième transistor NMOS  
ayant tous les deux leurs grilles couplées l'une avec  
15 l'autre et avec la grille du premier transistor NMOS, le  
deuxième et le troisième transistor NMOS ayant également  
tous les deux leurs sources couplées à la masse  
électrique ; un drain du deuxième transistor NMOS étant  
couplé avec une deuxième résistance et un drain du  
20 troisième transistor NMOS étant couplé avec un troisième  
transistor NMOS.

De préférence, le moyen de conversion  
courant/tension comprendra un amplificateur opérationnel  
("ampli-ops") avec une borne d'entrée non inverseuse, une  
25 borne d'entrée inverseuse, et une borne de sortie ; la  
borne d'entrée non inverseuse et la borne d'entrée  
inverseuse étant couplées avec la source de courant ; la  
borne de sortie de l'amplificateur opérationnel étant  
couplée avec la borne d'entrée inverseuse à travers une  
30 quatrième résistance ; la borne non inverseuse étant  
couplée avec une source de tension de référence externe à  
travers une cinquième résistance ; un premier couple de



bornes continu de l'amplificateur opérationnel étant couplé avec une source de tension externe afin de fixer la limite supérieure de tension pour l'amplificateur opérationnel, et un second couple de bornes continu étant  
5 couplé à la masse électrique afin de fixer une limite inférieure pour l'amplificateur opérationnel.

Avantageusement, le circuit selon l'invention comprendra en outre un moyen de protection contre les décharges électrostatiques (ESD).

10 De préférence, le moyen de protection ESD comprendra un premier et un deuxième dispositif à jonction PN couplés en série l'un avec l'autre et avec la source de courant ; une borne de l'anode du premier dispositif à jonction PN étant couplée à la masse électrique et une  
15 borne de la cathode du premier dispositif à jonction PN étant couplée avec la borne de l'anode du deuxième dispositif à jonction PN et avec le moyen de courant ; la borne de la cathode du deuxième dispositif à jonction PN étant couplée avec une source de tension afin d'empêcher  
20 une décharge ESD depuis celle-ci dans la source de courant.

La présente invention se rapporte également à un circuit intégré d'interfaçage d'une haute tension vers une basse tension (CI d'interfaçage) couplé à une  
25 résistance de réaction externe, à une source à basse tension et à une source à haute tension, comprenant :

a) un moyen de source de courant, couplé avec la source à haute tension et avec la source à basse tension, pour créer un courant de référence et des  
30 courants miroirs basés sur la source à haute tension ; et

b) un moyen de conversion courant/tension couplé avec la source de courant pour rejeter le signal à



haute tension et convertir le courant provoqué par le signal à basse tension qui circule à travers la résistance de réaction en une tension proportionnelle à la source à basse tension ; et

5           c) un filtre passe-bas RC externe couplé avec la résistance de réaction et avec le signal à basse tension et avec un signal à haute tension de façon à filtrer et éliminer les signaux à haute fréquence de celui-ci.

10           Avantageusement, le moyen de source de courant comprendra en outre un premier transistor NMOS, un deuxième transistor NMOS, et un troisième transistor NMOS ; le premier transistor NMOS ayant un drain et une grille couplés l'un avec l'autre et avec une première  
15   résistance, et ayant une source couplée à une masse électrique ; le deuxième et le troisième transistor NMOS ayant tous les deux leurs grilles couplées l'une avec l'autre et avec la grille du premier transistor NMOS, le deuxième et le troisième transistor NMOS ayant également  
20   tous les deux leurs sources couplées à la masse électrique ; un drain du deuxième transistor NMOS étant couplé avec une deuxième résistance et un drain du troisième transistor NMOS étant couplé avec un troisième transistor NMOS.

25           De préférence, le moyen de conversion courant/tension comprendra un amplificateur opérationnel ("ampli-ops") avec une borne d'entrée non inverseuse, une borne d'entrée inverseuse, et une borne de sortie ; la borne d'entrée non inverseuse et la borne d'entrée  
30   inverseuse étant couplées avec la source de courant ; la borne de sortie de l'amplificateur opérationnel étant couplée avec la borne d'entrée inverseuse à travers une

quatrième résistance ; la borne non inverseuse étant couplée avec une source de tension de référence externe à travers une cinquième résistance ; un premier couple de bornes continu de l'amplificateur opérationnel étant  
5 couplé avec une source de tension externe afin de fixer la limite supérieure de tension pour l'amplificateur opérationnel, et un second couple de bornes continu étant couplé à la masse électrique afin de fixer une limite inférieure pour l'amplificateur opérationnel.

10       Avantageusement, le circuit décrit précédemment comprendra en outre un moyen de protection contre les décharges électrostatiques (ESD). Par ailleurs, de manière avantageuse, le moyen de protection ESD comprendra un premier et un deuxième dispositif à  
15 jonction PN couplés en série l'un avec l'autre et avec la source de courant ; une borne de l'anode du premier dispositif à jonction PN étant couplée à la masse électrique et une borne de la cathode du premier dispositif à jonction PN étant couplée avec la borne de  
20 l'anode du deuxième dispositif à jonction PN et avec le moyen de courant ; la borne de la cathode du deuxième dispositif à jonction PN étant couplée avec une source de tension afin d'empêcher une décharge ESD depuis celle-ci dans la source de courant.

25       La figure 1 illustre un schéma d'une résistance de réaction connectée en série à une source de tension pour mesurer un signal à basse tension.

La figure 2 illustre un schéma d'un autre procédé pour mesurer un signal à basse tension en plaçant la  
30 résistance de réaction à proximité de la masse.

La figure 3 illustre un schéma d'un circuit intégré à haute tension selon la présente invention.



Un schéma de circuit intégré (CI) 400 d'interfaçage d'une haute tension vers une basse tension selon la présente invention est illustré en faisant référence à la figure 3. Le circuit intégré (CI) 400 d'interfaçage à haute tension comprend principalement un circuit à courant miroir 420 couplé avec un moyen de conversion courant/tension 460.

La source principale de courant 422 utilise un signal à haute tension  $V_{HV}$  pour générer un courant de référence, et créer d'autres courants miroirs. Lorsqu'il n'y a pas de signal de faible tension  $V_1$ , le rejet de mode commun ("CMR", "Common Mode Rejection", ou RMC) du moyen de conversion courant/tension 460 rejette ces courants de mode commun et ne produit qu'une tension de référence proportionnelle au courant de référence. Lorsqu'un faible courant circule à travers la résistance de réaction externe, l'équilibre du circuit à courant miroir est perturbé. Il en résulte que le moyen de conversion courant/tension 460 convertit ce courant non équilibré en une tension proportionnelle au signal de faible tension  $V_1$ . Le gain du moyen de conversion courant/tension compense le facteur de réduction dont il a été question à propos du circuit de résistance de réaction 100 ci-dessus. Et ainsi, le circuit intégré (CI) d'interfaçage d'une haute tension vers une basse tension selon la présente invention peut apparier l'impédance avec le circuit sous test (non représenté), mesurer avec précision le signal de faible tension, et peut être mis en œuvre à un coût peu élevé.

La réalisation et le fonctionnement détaillés du circuit intégré (CI) d'interfaçage d'une haute tension vers une basse tension sont décrits dans ce qui suit.

En faisant référence à la figure 3, un circuit à courant miroir 420 comprend trois transistors NMOS : un premier transistor NMOS 422, un deuxième transistor NMOS 424, et un troisième transistor NMOS 426. Ces trois transistors NMOS sont connectés ensemble pour former une source de courant principale et un circuit à courant miroir. Les grilles des trois transistors sont couplées ensemble et avec le drain du premier transistor NMOS 422. C'est pourquoi, les grilles des transistors 422, 424, et 426, voient la même tension. Les sources des trois transistors sont couplées ensemble et à une masse 428. Le drain du premier transistor 422 est couplé avec une résistance 430, l'autre borne de la résistance 430 étant couplée à une ligne à haute tension ( $V_{HV}$ ) 412 sur laquelle un signal de faible tension est surimposé par une source de signal 410. Le drain du deuxième transistor 430 est couplé avec une deuxième résistance 432, et l'autre borne de la résistance 432 forme une tension de mode commun  $V_{REACTION1}$ . De façon similaire, le drain du troisième transistor NMOS 426 est couplé avec une troisième résistance 434. L'autre extrémité de la troisième résistance 426 est couplée avec une première borne d'une résistance de réaction externe  $R_{REACTION}$  414, et forme une tension de mode commun  $V_{REACTION2}$ . La tension différentielle  $V_{REACTION}$  est la tension à travers la résistance 414. Un courant qui circule à travers la résistance 430 est un courant de référence  $I_0$ . Les autres courants  $I_2$  et  $I_1$  circulant à travers les résistances 432 et 434 respectivement sont les courants miroirs du courant de référence  $I_0$ . Les résistances 430, 432, et 434, sont de valeurs égales, et désignées respectivement par  $R1$ ,  $R2$ , et  $R3$ .



Dans un mode de réalisation préféré, un moyen de conversion courant/tension est un amplificateur opérationnel ("ampli ops") 440. D'autres moyens de conversion courant/tension peuvent être utilisés à la place de l'amplificateur opérationnel 440. La borne d'entrée non inverseuse de l'amplificateur opérationnel 440 est couplée avec le drain du deuxième transistor 424, et la borne d'entrée inverseuse est couplée avec le drain du troisième transistor NMOS 426. Une quatrième résistance 442 est une résistance de rétroaction qui connecte sa borne de sortie à la borne d'entrée inverseuse de l'amplificateur opérationnel 440. La borne d'entrée non inverseuse de l'amplificateur opérationnel 440 est couplée avec une cinquième résistance 444 dont l'autre extrémité est couplée à une tension de référence  $V_{REF}$  446. La première borne continue de l'amplificateur opérationnel est couplée avec une seconde source de tension  $V_{DD}$  448, laquelle est l'alimentation électrique du circuit intégré CI. Une seconde source continue de l'amplificateur opérationnel 440 est connectée à la masse. L'amplificateur opérationnel 440 convertit les courants non équilibrés provoqués par le signal de faible tension  $V_{REACTION}$  en une tension proportionnelle. Les résistances 446 et 444 sont de valeurs égales, et désignées respectivement par R4 et R5.

Le circuit comprend de préférence une pluralité de dispositifs électrostatiques ("ESD") pour empêcher les courants de circuler dans les transistors 422, 424, et 426. Dans un mode de réalisation préféré, les dispositifs ESD sont des dispositifs à jonction PN, tels que des diodes, des transistors MOS, ou des dispositifs équivalents. Ces dispositifs à jonction PN sont

représentés sur la figure comme étant des diodes. La première et la deuxième diode, 482 et 484, sont connectées à la seconde source de tension  $V_{DD}$  448, et empêchent le courant de circuler dans le drain du premier transistor 422. La borne de la cathode de la première diode 482 est connectée à la seconde tension  $V_{DD}$ , et la borne de l'anode est connectée au drain du premier transistor NMOS Q1 et à la borne de la cathode de la deuxième diode 484. La borne de l'anode de la deuxième diode 484 est connectée à la masse ("GND"). De façon similaire, la troisième et la quatrième diode, 486 et 488, sont connectées en série pour empêcher un courant indésirable de circuler depuis  $V_{DD}$  jusqu'au drain du deuxième transistor NMOS 424. La borne de l'anode de la troisième diode 486 est connectée au drain du deuxième transistor NMOS 424. De même, la paire constituée par la cinquième et la sixième diode 490 et 492 empêche le courant de circuler dans le drain du troisième transistor NMOS 426.

Avec les connexions spécifiées ci-dessus, le premier transistor 422 est une source de courant principale qui produit un courant de référence  $I_0$ . Le courant de référence  $I_0$  est égal à  $(V_{HV} - V_{GD}^{Q1})/R_1$ . La source de courant principale 422 provoque également la circulation des courants miroirs de même valeur  $I_0$  dans les drains du deuxième et du troisième transistor 424 et 426. Les résistances 430, 432 et 434, ont la même valeur, de sorte que lorsque le signal de faible tension  $V_{REACTION}$  est nul, les courants miroirs circulant à travers les résistances 432 et 434 sont les courants miroirs du courant de référence  $I_0$ . Les grilles des transistors 422, 424 et 426, ne voient qu'un seul  $V_{GD}$ . La tension différentielle



$V_{\text{REACTION}}$  est transférée à la même valeur sur les nœuds de drains des transistors 424 et 426 à l'aide d'un décalage de leur tension de mode commun. Lorsque le signal de faible tension  $V_{\text{REACTION}}$  est nul, la tension de mode commun est égale à  $V_{\text{HV}}$ . Alors les deux résistances terminent de décaler vers le bas la tension de mode commun d'un montant égal à  $I_0 R_2$  ou  $I_0 R_3$ , du fait que le deuxième et le troisième transistor 424 et 426 essayent d'apparier le courant miroir au premier transistor 422. Dans un mode de réalisation préféré, les résistances 430, 432 et 434, ont une valeur de 25 k $\Omega$ ,  $V_{\text{DD}}$  a une valeur de 3,3 V,  $V_{\text{REF}}$  a une valeur de 1,65 V ( $= 1/2 * V_{\text{DD}}$ ). Les résistances 442 et 444 de l'amplificateur opérationnel valent 250 k $\Omega$ .

Étant donné que les courants miroirs circulant dans la borne inverseuse et la borne non inverseuse de l'amplificateur opérationnel 440 sont les mêmes, l'amplificateur opérationnel 440 rejette ainsi ces courants de mode commun. Il en résulte que  $V_{\text{OUT}}$  égale  $V_{\text{REF}}$ . Du fait que  $R_5/R_2$  égale  $R_4/R_3$ , la sortie de l'amplificateur opérationnel 440 est égale à  $R_4/R_3 (V' - V'') = V_{\text{REF}}$  dans lequel  $V'$  est la tension à la borne non inverseuse, et  $V''$  est la tension à la borne inverseuse de l'amplificateur opérationnel 440.

Ainsi, lorsque le signal de faible tension  $V_{\text{REACTION}}$  n'apparaît pas à travers  $R_{\text{REACTION}}$  414, l'amplificateur opérationnel 440 rejette les courants miroirs produits par la source de courant principale 422, laquelle est basée sur la haute tension  $V_{\text{HV}}$ . Le résultat  $V_{\text{OUT}}$  est égal à la tension de référence  $V_{\text{REF}}$ , indépendante de la haute tension  $V_{\text{HV}}$  sur la ligne 412. Ainsi, le signal à haute tension  $V_{\text{HV}}$  a été éliminé.



Lorsqu'un signal de faible tension  $V_{\text{REACTION}}$  non nul apparaît à travers la résistance de réaction 414, la condition de courant miroir spécifiée ci-dessus n'existe plus du fait que le signal de faible tension  $V_1$  provoque la circulation d'un courant à travers la troisième résistance 434 en plus du courant de référence  $I_0$ . Ce courant additionnel place l'amplificateur opérationnel 440 en mode différentiel, et démarre le déséquilibre des tensions de drain des transistors 424 et 426. En mode différentiel, l'amplificateur opérationnel 440 réagit et force l'égalité de la borne inverseuse et de la borne non inverseuse, forçant  $V_{\text{OUT}}$  à se décaler d'une quantité proportionnelle à  $V_{\text{REACTION}}$ . En mode différentiel,  $\Delta V_{\text{OUT}}$  égale  $\Delta I_{\text{OUT}}$  multiplié par  $R_5$ .  $\Delta V_{\text{OUT}} = \Delta I_0 \cdot R_1 - V_{\text{REACTION}} / R_1 \cdot R_5$ . Il en résulte que, lorsqu'il y a un signal de faible tension  $V_{\text{REACTION}}$  chutant à travers la résistance de réaction 414, l'amplificateur opérationnel 440 s'ajuste aux conditions de déséquilibre en produisant une tension égale à  $V_{\text{REACTION}}$ , amplifiée par le gain en boucle fermée de l'amplificateur opérationnel 440. Ainsi, la composante à haute tension  $V_{\text{HV}}$  est encore éliminée, et le signal de faible tension recherché  $V_{\text{REACTION}}$  est détecté.

Les filtres passe-bas RC (502-512), prévus en option, filtrent et éliminent les composants de haute fréquence. Les signaux à haute fréquence peuvent être potentiellement dommageables pour les transistors 422, 424 et 426. Une borne de la sixième résistance 502 est couplée à la ligne à haute tension 412, et l'autre borne est couplée avec une première capacité 504 et avec la première résistance 430. La seconde borne de la première capacité 504 est couplée à la masse. De façon similaire, une première borne d'une septième résistance 506 est



couplée avec la première borne de la résistance de  
réaction 414 ; une seconde borne est couplée avec une  
deuxième capacité 508. La seconde borne de la capacité  
508 est couplée à la masse, formant un filtre passe-bas  
5 RC avec la septième résistance 506. L'autre borne de la  
résistance de réaction 414 est couplée avec une huitième  
résistance 510. Une troisième capacité 512 est couplée  
avec l'autre borne de la résistance 510 et avec la  
troisième résistance 434. La seconde borne de la capacité  
10 512 est couplée à la masse. Les filtres passe-bas, formés  
par les paires  $R_6/C_1$ ,  $R_7/C_2$ , et  $R_8/C_3$ , filtrent et  
éliminent les composants à haute fréquence indésirables  
qui sont potentiellement dommageables pour les  
transistors 422, 424 et 426. Si les filtres ne sont pas  
15 présents, les résistances 430, 432 et 434, ont  
typiquement une valeur de 25 k $\Omega$ . Si les filtres en  
option sont fournis, les résistances 502, 506 et 510, ont  
typiquement une valeur de 1 k $\Omega$  chacune, avec la première  
des trois résistances 430, 432 et 434, réduite d'une  
20 valeur de 1 k $\Omega$  vers une valeur typique de 24 k $\Omega$ . Les  
capacités 504, 508 et 512, ont typiquement une valeur  
d'environ 10 pF. Ces filtres passe-bas en option  
n'affectent pas l'ensemble du fonctionnement de base du  
circuit intégré (CI) tel que décrit ci-dessus.

REVENDECATIONS

1. Circuit intégré (400) d'interfaçage d'une haute tension vers une basse tension (CI d'interfaçage) couplé à une résistance de réaction externe, à une source à basse tension et à une source à haute tension, 5 comprenant :

- a) un moyen de source de courant, couplé avec la source à haute tension et avec la source à basse tension, pour créer un courant de référence et des courants miroirs (420) basés sur la source à haute tension ; et
- 10 b) un moyen de conversion courant/tension (460) couplé avec la source de courant pour rejeter le signal à haute tension et convertir le courant provoqué par le signal à basse tension qui circule à travers la résistance de réaction en une tension proportionnelle à 15 la source à basse tension.

2. Circuit intégré d'interfaçage selon la revendication 1, dans lequel le moyen de source de courant comprend en outre un premier transistor NMOS (422), un deuxième 20 transistor NMOS (424), et un troisième transistor NMOS (426) ; le premier transistor NMOS ayant un drain et une grille couplés l'un avec l'autre et avec une première résistance, et ayant une source couplée à une masse électrique ; le deuxième et le troisième transistor NMOS 25 ayant tous les deux leurs grilles couplées l'une avec l'autre et avec la grille du premier transistor NMOS, le deuxième et le troisième transistor NMOS ayant également tous les deux leurs sources couplées à la masse électrique ; un drain du deuxième transistor NMOS étant 30 couplé avec une deuxième résistance et un drain du



troisième transistor NMOS étant couplé avec un troisième transistor NMOS.

3. Circuit intégré d'interfaçage selon la revendication  
5 1, dans lequel le moyen de conversion courant/tension  
comprend un amplificateur opérationnel ("ampli-ops")  
(440) avec une borne d'entrée non inverseuse, une borne  
d'entrée inverseuse, et une borne de sortie ; la borne  
d'entrée non inverseuse et la borne d'entrée inverseuse  
10 étant couplées avec la source de courant ; la borne de  
sortie de l'amplificateur opérationnel étant couplée avec  
la borne d'entrée inverseuse à travers une quatrième  
résistance ; la borne non inverseuse étant couplée avec  
une source de tension de référence externe à travers une  
15 cinquième résistance ; un premier couple de bornes  
continu de l'amplificateur opérationnel étant couplé avec  
une source de tension externe afin de fixer la limite  
supérieure de tension pour l'amplificateur opérationnel,  
et un second couple de bornes continu étant couplé à la  
20 masse électrique afin de fixer une limite inférieure pour  
l'amplificateur opérationnel.

4. Circuit intégré d'interfaçage selon la revendication  
1, comprenant en outre un moyen de protection contre les  
25 décharges électrostatiques (ESD).

5. Circuit intégré d'interfaçage selon la revendication  
4, dans lequel le moyen de protection ESD comprend un  
premier et un deuxième dispositif à jonction PN couplés  
30 en série l'un avec l'autre et avec la source de  
courant ; une borne de l'anode du premier dispositif à  
jonction PN étant couplée à la masse électrique et une

borne de la cathode du premier dispositif à jonction PN étant couplée avec la borne de l'anode du deuxième dispositif à jonction PN et avec le moyen de courant ; la borne de la cathode du deuxième dispositif à jonction PN  
5 étant couplée avec une source de tension afin d'empêcher une décharge ESD depuis celle-ci dans la source de courant.

6. Circuit intégré d'interfaçage d'une haute tension vers  
10 une basse tension (CI d'interfaçage) couplé à une résistance de réaction externe, à une source à basse tension et à une source à haute tension, comprenant :

a) un moyen de source de courant, couplé avec la source à haute tension et avec la source à basse tension,  
15 pour créer un courant de référence et des courants miroirs basés sur la source à haute tension ; et

b) un moyen de conversion courant/tension couplé avec la source de courant pour rejeter le signal à haute tension et convertir le courant provoqué par le signal à  
20 basse tension qui circule à travers la résistance de réaction en une tension proportionnelle à la source à basse tension ; et

c) un filtre passe-bas RC externe couplé avec la résistance de réaction et avec le signal à basse tension  
25 et avec un signal à haute tension de façon à filtrer et éliminer les signaux à haute fréquence de celui-ci.

7. Circuit intégré d'interfaçage selon la revendication 6, dans lequel le moyen de source de courant comprend en  
30 outre un premier transistor NMOS, un deuxième transistor NMOS, et un troisième transistor NMOS ; le premier transistor NMOS ayant un drain et une grille couplés l'un



avec l'autre et avec une première résistance, et ayant une source couplée à une masse électrique ; le deuxième et le troisième transistor NMOS ayant tous les deux leurs grilles couplées l'une avec l'autre et avec la grille du premier transistor NMOS, le deuxième et le troisième transistor NMOS ayant également tous les deux leurs sources couplées à la masse électrique ; un drain du deuxième transistor NMOS étant couplé avec une deuxième résistance et un drain du troisième transistor NMOS étant couplé avec un troisième transistor NMOS.

8. Circuit intégré d'interfaçage selon la revendication 6, dans lequel le moyen de conversion courant/tension comprend un amplificateur opérationnel ("ampli-ops") avec une borne d'entrée non inverseuse, une borne d'entrée inverseuse, et une borne de sortie ; la borne d'entrée non inverseuse et la borne d'entrée inverseuse étant couplées avec la source de courant ; la borne de sortie de l'amplificateur opérationnel étant couplée avec la borne d'entrée inverseuse à travers une quatrième résistance ; la borne non inverseuse étant couplée avec une source de tension de référence externe à travers une cinquième résistance ; un premier couple de bornes continu de l'amplificateur opérationnel étant couplé avec une source de tension externe afin de fixer la limite supérieure de tension pour l'amplificateur opérationnel, et un second couple de bornes continu étant couplé à la masse électrique afin de fixer une limite inférieure pour l'amplificateur opérationnel.

9. Circuit intégré d'interfaçage selon la revendication 6, comprenant en outre un moyen de protection contre les décharges électrostatiques (ESD).

5 10. Circuit intégré d'interfaçage selon la revendication 9, dans lequel le moyen de protection ESD comprend un premier et un deuxième dispositif à jonction PN couplés en série l'un avec l'autre et avec la source de courant ; une borne de l'anode du premier dispositif à  
10 jonction PN étant couplée à la masse électrique et une borne de la cathode du premier dispositif à jonction PN étant couplée avec la borne de l'anode du deuxième dispositif à jonction PN et avec le moyen de courant ; la  
15 borne de la cathode du deuxième dispositif à jonction PN étant couplée avec une source de tension afin d'empêcher une décharge ESD depuis celle-ci dans la source de courant.

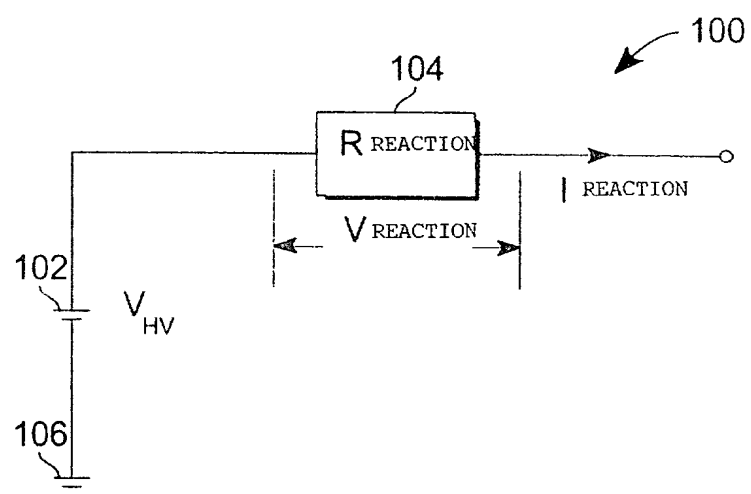


Figure 1 (Art antérieur)



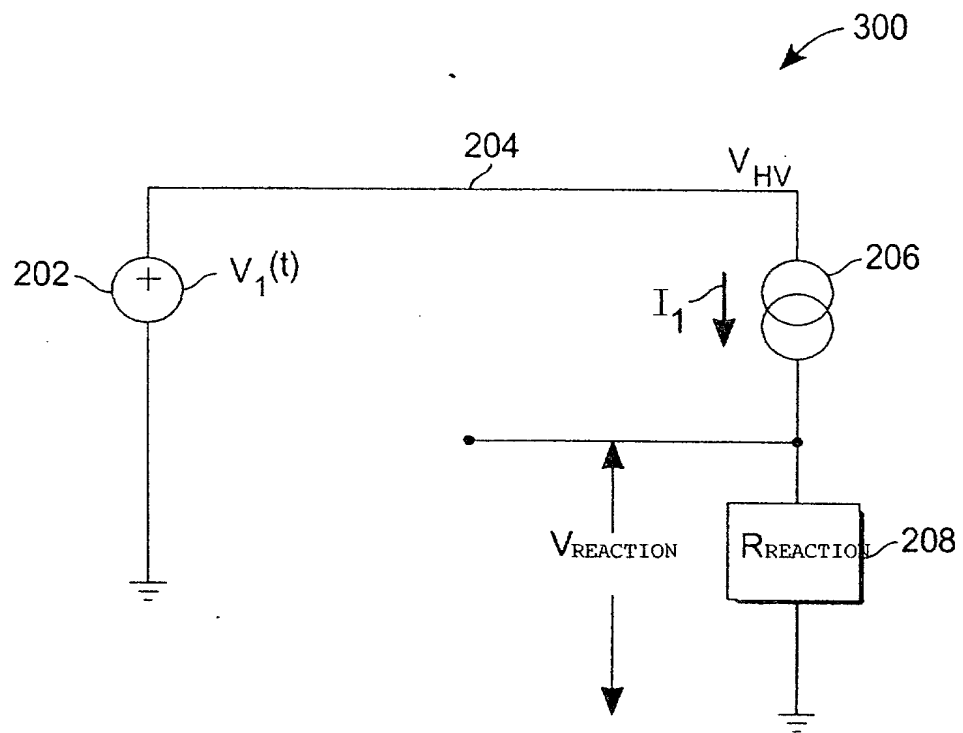
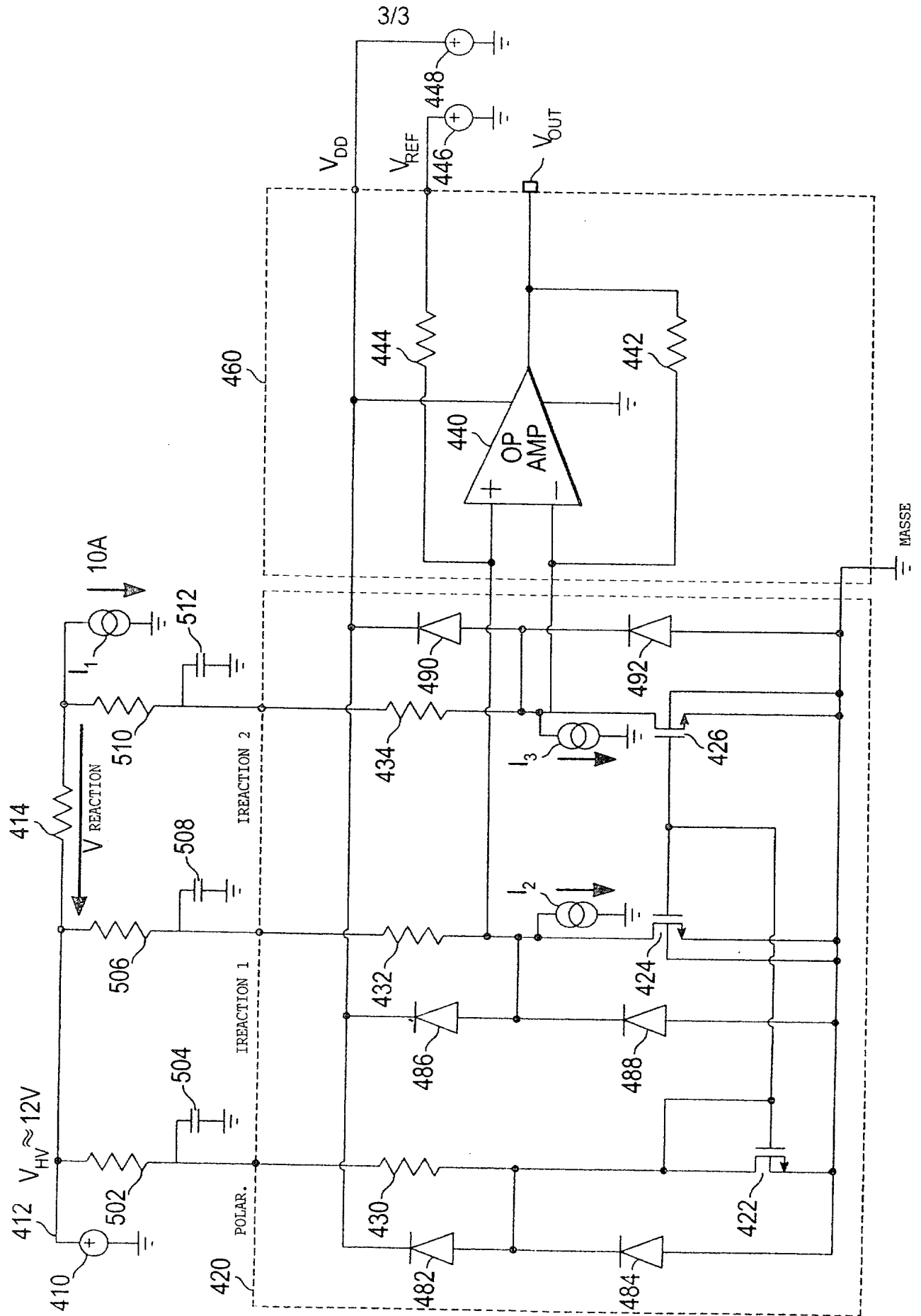


Figure 2 (Art antérieur)





# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

**DÉSIGNATION D'INVENTEUR(S)** Page N° 1.../1...

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)



Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 @ W / 270601

<b>Vos références pour ce dossier (facultatif)</b>		33962/FR
<b>N° D'ENREGISTREMENT NATIONAL</b>		0307629
<b>TITRE DE L'INVENTION</b> (200 caractères ou espaces maximum)		
CIRCUIT BASSE TENSION A FIN D'INTERFAÇAGE AVEC DES SIGNAUX ANALOGIQUES A HAUTE TENSION		
<b>LE(S) DEMANDEUR(S) :</b>		
Atmel Corporation 2325 Orchard Parkway US-SAN JOSE California 95131 U.S.A.		
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S) :</b>		
<b>1</b>	Nom	DUPUY
	Prénoms	Christian
Adresse	Rue	121 vallon de la Grave Domaine Les Michel
	Code postal et ville	13790 PEYNIER
Société d'appartenance (facultatif)		
<b>2</b>	Nom	AMRANI
	Prénoms	Hafid
Adresse	Rue	Parc des Sept Collines 1 square Florette
	Code postal et ville	13011 MARSEILLE
Société d'appartenance (facultatif)		
<b>3</b>	Nom	CORDONNIER
	Prénoms	Hubert
Adresse	Rue	Demeures du Golf 6 impasse Vaudrans
	Code postal et ville	13011 MARSEILLE
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
<b>DATE ET SIGNATURE(S)</b> <b>DU (DES) DEMANDEUR(S)</b> <b>OU DU MANDATAIRE</b> (Nom et qualité du signataire)		
Le 24/06/2003 BRESSE Pierre 921038		

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

